

Análisis, Simulación e Implementación de una Red de Conmutación Tipo Banyan Empleando un FPGA

Bravo N.*; Bernal I.**

*Escuela Politécnica Nacional, Facultad de Ingeniería Eléctrica y Electrónica
Quito, Ecuador (Tel: 593-6-2932-893; e-mail: nellyabl@hotmail.com)

** Escuela Politécnica Nacional, Facultad de Ingeniería Eléctrica y Electrónica
Quito, Ecuador (Tel: 593-2-2507144; e-mail: ivan.bernal@epn.edu.ec)

Resumen: Las redes Banyan son un tipo de red de interconexión multi-etapa (MIN) usadas tanto en el área de procesamiento paralelo, así como en la arquitectura de switches y routers de alta velocidad. En este artículo se toma como caso de estudio una red de 8x8 implementada con elementos de conmutación Banyan duales y se pretende observar cómo varía el desempeño de la red al incrementar el tamaño de los buffers internos. Para esto se presenta un análisis matemático basado en Cadenas de Markov, se describe la red usando VHDL (VHSIC Hardware Description Language) y se procede a su simulación y posterior implementación en un FPGA. Finalmente, se presentan y evalúan los resultados obtenidos, contrastando lo obtenido teóricamente con lo obtenido en la simulación.

Palabras clave: Redes de Interconexión Multi-etapa, Redes Banyan, FPGA.

Abstract: Banyan networks are a class of Multistage Interconnection Networks (MINs) used in both parallel computing and fast packet switches and routers architectures. In this paper, an 8x8 Banyan network is selected as a study case and is implemented with Dual Banyan switching elements; the goal is to focus on how it is possible to change the performance of the network by incrementing the size of the internal buffers. For achieving this, a mathematical analysis based on Markov Chains is used, the network is described using VHDL (VHSIC Hardware Description Language) and later simulated and implemented in a FPGA. Finally, the results are presented and evaluated by comparing the theoretical results with the simulation ones.

Keywords: Multistage Interconnection Networks, Banyan Networks, FPGA.

1. INTRODUCCIÓN

Las redes Banyan son un tipo de red de interconexión multi-etapa o MIN (*Multistage Interconnection Networks*), las cuales han sido ampliamente usadas dentro de arquitecturas de switches y routers de alta velocidad; también se las ha usado en el área de procesamiento paralelo en la arquitectura de computadoras, por ejemplo, en la comunicación procesador-memoria y entre procesadores [6]. Básicamente, una MIN está conformada por elementos de conmutación simples dispuestos en varias etapas según el tamaño de la red, el cual está definido por el número de puertos de entrada y salida. Cada etapa de elementos de conmutación se conecta con las etapas adyacentes a través de permutaciones, que sencillamente son patrones específicos de interconexión. En la Fig. 1 se aprecia el esquema básico de una MIN.

En la presente discusión, se asume que el objetivo de una MIN es encaminar paquetes desde una entrada a una salida. Para tener elementos de conmutación que operen sincrónicamente, la MIN debe tener un reloj interno que controle la operación.

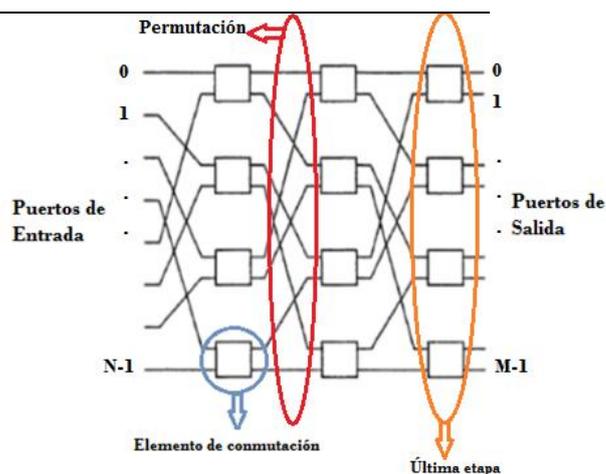


Figura 1. Esquema básico de una MIN

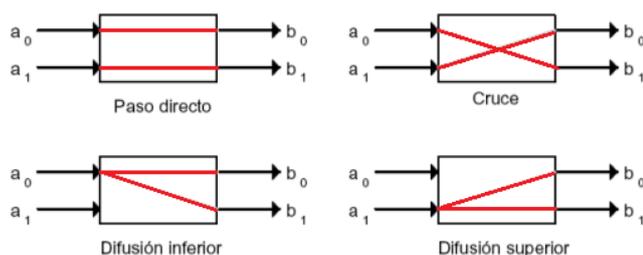


Figura 2. Posibles configuraciones de un elemento de conmutación 2X2

Un elemento de conmutación simple de tamaño $p \times q$, es un circuito con p entradas y q salidas que puede conectar cualquiera de sus entradas con una o varias de sus salidas. En la Fig. 2 se observan las posibles configuraciones para un conmutador básico de dos entradas y dos salidas. Es claro que paquetes en las dos entradas, no pueden ser pasados a la misma salida al mismo tiempo; solo un paquete puede pasar y el otro será rechazado o sufrirá un retardo dependiendo si existen buffers en las entradas para almacenarlo.

Para el contexto de las MIN, las permutaciones constituyen las formas cómo se interconectan los puertos de salida de los conmutadores de la etapa i con los puertos de entrada de los conmutadores de la etapa $i+1$. En otras palabras, las permutaciones son los patrones de interconexión entre etapas, aunque cabe mencionar que estas permutaciones pueden también estar presentes a la entrada y/o salida de la red, antes de la primera etapa de conmutadores y/o luego de la última etapa.

1.1 Redes Banyan

Las redes Banyan derivan su nombre de una especie de árbol de higo, en el cual sus ramas se entrelazan formando patrones muy particulares y complejos. Las redes Banyan se definen por la característica de que existe una y solo una ruta posible entre cada par de puertos de entrada/salida y existe una gran gama de estructuras posibles [4]. Estas redes presentan varias ventajas que las hacen atractivas frente a otro tipo de MIN; entre sus principales ventajas están las siguientes:

- **Sencillez:** en una red de tamaño $N \times N$, implementada con elementos de conmutación de tamaño $k \times k$, se requieren solamente $\log_k N$ etapas, con N/k elementos de conmutación en cada una, en contraste con los conmutadores *crossbar*, los cuales requieren N^2 conmutadores. Esto hace que sean más económicas de implementar.
- **Auto-enrutamiento:** implica que no se requiere un procesador central que controle todas las conexiones de la red, decidiendo hacia cuál de sus puertos de salida se debe enviar un paquete que llegue; sino que, en estas redes, se agrega una etiqueta a cada paquete, como cabecera o cola, que indica el puerto de destino y que será empleada por cada elemento de conmutación para tomar la decisión de enrutamiento de forma independiente.

- **Modularidad y escalabilidad:** gracias a su estructura, estas redes son fácilmente escalables a grandes tamaños sin perder su regularidad. Los retardos se incrementarán a medida que se incremente el tamaño de la red. Deberá analizarse si los retardos son aceptables para el sistema que se tenga como objetivo y los recursos de hardware que se requieren para su implementación.

Como es de esperarse, estas ventajas vienen con un costo y es que las redes Banyan son bloqueantes, en otras palabras, existe la posibilidad de que en el interior de la red, dos paquetes que estén dirigidos hacia puertos destino diferentes entren en contención (competencia) por un enlace interno y que uno de ellos sea descartado. Esta situación degrada el desempeño de estas redes, por lo cual, se han planteado diversas estrategias a fin de tratar de mejorarlo [1] [2] [8].

Una alternativa es el uso de buffers en el interior de la red, los cuales pueden ubicarse en las entradas, salidas o dentro de cada elemento de conmutación; además, no solo su ubicación, sino también su tamaño es un aspecto muy importante a considerar.

En este trabajo se utiliza la opción de usar buffers en el interior de cada elemento de conmutación de la red; para ello se usarán elementos de conmutación Banyan duales [5].

En la sección 2 se presentan las características de la red Banyan que se empleará como objeto de estudio y la arquitectura y funcionamiento de los elementos de conmutación Banyan duales. En la sección 3 se presenta el análisis matemático de los elementos duales empleando Cadenas de Markov para luego determinar el número promedio de paquetes perdidos en cada ranura de tiempo y el retardo promedio que experimentan los paquetes al atravesar la red. La sección 4 trata brevemente con la descripción de la red Banyan en VHDL, la simulación de la misma usando el ambiente de desarrollo ISE Design Suite de Xilinx y la comparación de los parámetros de interés obtenidos analíticamente con los obtenidos por medio de la simulación. En la sección 5 se describe el sistema empleado para realizar las pruebas de funcionamiento correspondientes. Finalmente, se enumeran algunas conclusiones derivadas de las tareas realizadas.

2. CARACTERÍSTICAS DE LA RED BANYAN EMPLEADA COMO OBJETO DE ESTUDIO

Se ha seleccionado una red Banyan de tamaño 8×8 empleando la topología específica denominada Baseline (Φ) o Red de Línea Base, que se observa en la Fig. 3. Esta red representa una de las estructuras más comunes y sencillas de redes Banyan pero representativa y suficiente para el cumplimiento de los objetivos de este trabajo.

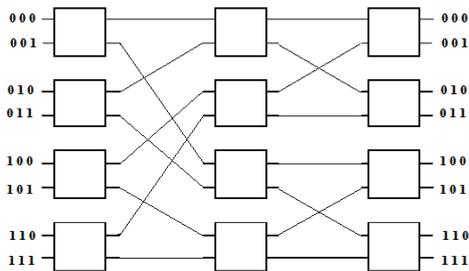


Figura 3. Red Banyan denominada Baseline 8x8

En esta red, el algoritmo de auto-enrutamiento es muy simple: los elementos de conmutación de cada etapa toman en cuenta el bit correspondiente de la etiqueta, empezando desde el bit más significativo; si este bit es cero, se envía el paquete al puerto de salida superior, pero si el bit es uno, se lo envía por el puerto inferior. Con esto resulta que el bit más significativo de la etiqueta se usa en la primera etapa, el siguiente bit se usa en la segunda etapa, y así sucesivamente, hasta que el bit menos significativo se lo usa en la última etapa.

Una vez que cada conmutador usa el bit respectivo de la etiqueta, este bit se lo puede retirar o se puede rotar toda la etiqueta, a fin de que siempre el primer bit disponible sea el que el conmutador de la siguiente etapa vaya a usar. Claramente, en estas redes se cumple que los paquetes son encaminados desde un puerto de entrada a uno de destino sin un control centralizado de los elementos de conmutación.

2.1 Elementos de conmutación Banyan duales

La parte medular de la red la constituyen los elementos de conmutación Banyan duales, cuya arquitectura interna se observa en la Fig. 4. Sus componentes son los siguientes:

- **Controladores de entrada (IC, Input Controller):** Uno en cada entrada del elemento de conmutación y su función es la de escoger hacia cuál de los buffers envía el paquete que llega; para ello se basa en el bit de enrutamiento correspondiente ubicado en la etiqueta del paquete; si el bit es cero, envía el paquete por el puerto de salida superior y si el bit es uno, lo envía por el inferior.
- **Buffers:** o colas, todas son de igual tamaño y se emplea la política de atención FIFO (*First In, First Out*).
- **Controladores de salida (OC, Output Controller):** Toman de forma alternada un paquete de cada uno de los dos buffers a los que están conectados y envían el paquete por el puerto de salida respectivo.

Este esquema de funcionamiento es conocido como *Virtual Output Queuing* (VOQ), debido a que en cada entrada se tiene un buffer exclusivo por cada puerto de salida. Gracias a esta técnica de almacenamiento, cada elemento de conmutación es capaz de enviar dos paquetes en cada ciclo de reloj y con ello se mejora en gran medida el desempeño de la red. A pesar de esta gran ventaja, aún puede existir pérdida de paquetes en el interior de la red si el espacio en los buffers no es suficiente para la carga presente en las entradas.

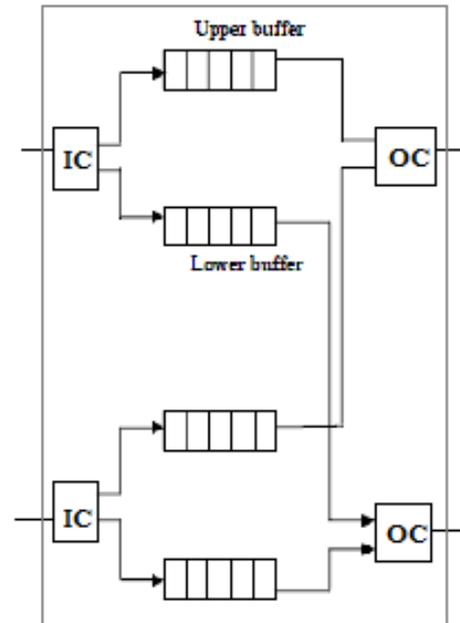


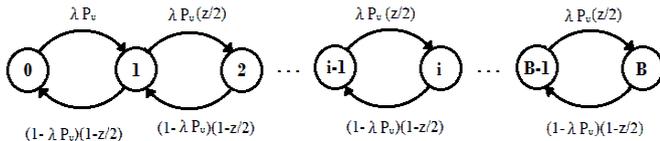
Figura 4. Arquitectura del elemento de conmutación Banyan dual [5].

3. ANÁLISIS MATEMÁTICO

3.1 Condiciones

El análisis matemático que se presenta está basado en el modelo desarrollado en [5] para un elemento de conmutación Banyan dual, partiendo de las siguientes premisas:

- Todos los puertos de entrada de la red tienen la misma probabilidad de tener un paquete para encaminar, a esta probabilidad se la denotará como λ .
- La llegada de los paquetes a cada entrada está regida por un proceso de Bernoulli independiente con parámetro λ . La probabilidad de que un paquete llegue dentro de un ciclo de reloj es constante (λ) y las llegadas son independientes una de otra.
- Se considera que cada paquete que ingresa a la red tiene igual probabilidad de ir dirigido hacia cualquiera de los puertos de salida.
- Se considera que en cada ciclo no puede llegar a cada entrada del elemento de conmutación más de un paquete, así como tampoco puede salir más de un paquete por cada salida del elemento de conmutación en cada ciclo.
- Todos los buffers de la red tienen política de atención FIFO y son de igual tamaño, el cual se denotará con la letra B.
- Los controladores de salida operan con un esquema Round Robin, tomando de forma alternada un paquete de cada uno de los buffers.
- Los buffers operan de tal modo que el paquete que encabeza la cola está siempre disponible para su lectura.



• Figura 5. Diagrama de transición de Estados del elemento de conmutación Banyan Dual

En el análisis presentado en [5], el sistema considerado es uno de los cuatro buffers existentes en el interior de cada elemento de conmutación, considerando que el comportamiento de cada buffer es el mismo.

Sea $M(n)$ el número de paquetes que están presentes en el buffer al final de la n -ésima ranura de tiempo o ciclo de reloj; en la siguiente ranura, el estado del sistema, $M(n+1)$, solamente depende del estado inmediato anterior; por lo tanto, constituye una cadena de Markov. El diagrama de estados del elemento de conmutación Banyan Dual se presenta en la Fig. 5, en donde:

- λ : probabilidad de que exista un paquete presente en la entrada del elemento de conmutación.
- P_u : probabilidad de que el paquete que llega al elemento de conmutación vaya dirigido hacia el puerto de salida superior.
- z : probabilidad de que el otro buffer asociado al mismo controlador de salida tenga al menos un paquete almacenado, es decir que no esté vacío.
- B : es el tamaño del buffer.

Cada estado i del diagrama representa el número de paquetes presentes en el sistema bajo análisis. A fin de encontrar las expresiones correspondientes a la probabilidad $P(i)$ de encontrarse en alguno de los estados i , se resuelve la cadena de Markov haciendo un corte en el diagrama de estados y planteando las ecuaciones de balance en estado estacionario o de equilibrio y empleando la condición de normalización [7]. Conocida $P(i)$, incluido el caso del buffer lleno $P(B)$, se pueden encontrar los parámetros de interés del sistema; así se puede determinar el número promedio de paquetes que se encuentran en el buffer (L), empleando la definición de valor esperado de una variable aleatoria.

3.2 Expresiones obtenidas para los parámetros de interés

Las expresiones obtenidas, correspondientes al promedio de paquetes perdidos y retardo promedio de los paquetes en cada buffer, se presentan en (1) y (2), respectivamente.

$$S = P(B)\lambda P_u \frac{z}{2} \tag{1}$$

$$W = \frac{L}{(1-S)\lambda P_u} \tag{2}$$

La nomenclatura usada para (1) y (2) es la siguiente:

- S : promedio de paquetes perdidos en cada ciclo de reloj en el buffer.
- $P(B)$: probabilidad de que el buffer esté lleno.
- W : retardo promedio que experimentan los paquetes al atravesar el buffer, medido en ciclos de reloj.
- L : longitud o número promedio de paquetes que se encuentran en el buffer.

Una vez obtenidas las expresiones correspondientes a los parámetros de interés, se hacen las consideraciones necesarias para extender estos resultados al resto de buffers de los elementos de conmutación en cada etapa de la red. Los resultados numéricos globales de la red se muestran al final de la siguiente sección.

Cabe mencionar que, para extender los resultados a toda la red, se realiza un análisis aproximado de la carga de tráfico presente a la entrada de cada etapa de la red utilizando para ello el valor obtenido del promedio de celdas perdidas en cada etapa, y se considera que todos los buffers correspondientes a los elementos de conmutación de una etapa se comportan de manera similar.

Para el presente proyecto, se ha asumido la máxima carga de tráfico en las entradas de la red, esto es $\lambda=1$, y debido a que todos los puertos de salida tienen igual probabilidad de ocurrencia, se deduce también que, un paquete que ingresa a cualquiera de las entradas del elemento de conmutación tiene igual probabilidad de ir dirigido al puerto superior como al inferior, esto es $P_u=0,5$.

4. DESCRIPCIÓN DE LA RED UTILIZANDO VHDL Y SU SIMULACIÓN CON EL ISIM DE ISE

4.1 Consideraciones

El primer paso con el fin de poder simular la red de conmutación es realizar su descripción con el lenguaje VHDL; para ello, se hace uso del ambiente de desarrollo ISE Design Suite de Xilinx. Para realizar la simulación de la red Banyan se emplea el simulador ISIM, incluido en el ambiente ISE.

La red se la describe utilizando el modelo de descripción estructural [8], soportado por VHDL, el cual es un modelo de tipo jerárquico, en el que se realiza la descripción de cada componente de manera independiente y luego se especifican las conexiones entre ellos.

En el caso específico de la red, los componentes fundamentales son: el controlador de entrada, el controlador de salida y el buffer interno. Una vez que se tiene su descripción, estos componentes se interconectan formando un elemento de conmutación Banyan dual, un nuevo componente que se será parte de la descripción jerárquica. A continuación, los elementos de conmutación se organizan en etapas y se realizan las conexiones entre ellos de acuerdo a la topología

de la red Banyan, obteniéndose de esta forma la descripción en VHDL de la red completa (Fig.3).



Figura 6. Estructura del paquete de datos a conmutar en la red

Si bien los componentes hasta aquí mencionados son los indispensables para el funcionamiento de la red de conmutación, se elabora un componente específico para realizar el cálculo del retardo promedio que experimentan los paquetes al atravesar la red. Este componente se ubicará a la salida de la red y se lo utiliza sólo con propósitos de simulación, más no para la implementación de la red en hardware (FPGA) que se realiza posteriormente. Esto debido a que el operador de división utilizado no es sintetizable entre cualquier par de números enteros, sino solamente cuando se trata de potencias de 2.

Con el propósito de tener simplicidad en el diseño y agilizar los cálculos, se asume un paquete de datos de 1 byte de extensión, al cual se le anteponen 5 bits, inicialmente todos en cero, para la medición del retardo y, finalmente, se añaden 3 bits de enrutamiento. Se usan 3 bits por tratarse de una red constituida por 3 etapas, cada etapa procesa uno de los bits. Con lo indicado se obtiene un paquete con tamaño total de 2 bytes, como se aprecia en la Fig. 6.

Teniendo en cuenta estas consideraciones, se realiza la simulación de la red con el software ISIM; sin embargo, para obtener resultados confiables, es necesario que la red llegue al estado de equilibrio como se mencionó en la sección 3. A fin de determinar el momento en el cual la red llega al estado de equilibrio se ha realizado el análisis en base al valor promedio de paquetes perdidos. Para ello, usando los resultados de la simulación, se descartan paulatinamente las primeras X ranuras de tiempo y se calcula el promedio de paquetes perdidos con los datos restantes. Al graficar estos resultados es posible determinar el momento aproximado en el cual los valores se estabilizan y, en consecuencia, se asume que la red alcanza el estado de equilibrio. Este mismo análisis se realiza para cada tamaño del buffer que se simula.

4.2 Comparación de resultados teóricos y simulados

En la Tabla 1 se presentan los resultados obtenidos tanto en el análisis matemático como en la simulación de la red, mientras que en las Figs. 7 y 8 se observa de manera gráfica estos mismos resultados. Como se mencionó anteriormente, los parámetros de interés son el promedio de paquetes perdidos en la red (S_T), en cada ciclo de reloj, y el retardo promedio (W_T) que experimentan los paquetes en atravesar la red, ambos en función del tamaño de los buffers (B) de los elementos de conmutación.

Cabe aclarar que en la Fig. 8, W_T está medido en términos de ciclos de reloj, con lo cual su valor exacto depende de la frecuencia de operación de la red.

Tabla 1. Resultados de los parámetros teóricos y simulados de la red.

B	Teoría		Simulación	
	W_T	S_T	W_T	S_T
2	5,22	2,20	4	1,65
4	7,56	1,20	8	0,72
8	11,13	0,76	13	0,53
16	16,82	0,50	13	0,41
32	26,58	0,32	13	0,40

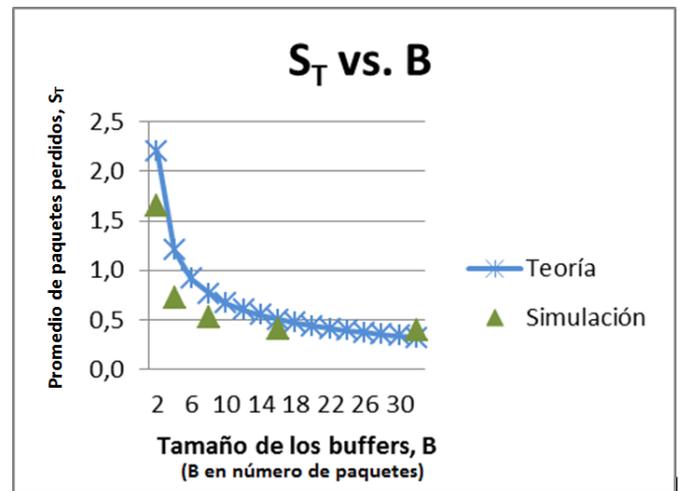


Figura 7. Promedio de paquetes perdidos (S_T) en función del tamaño de los buffers (B)

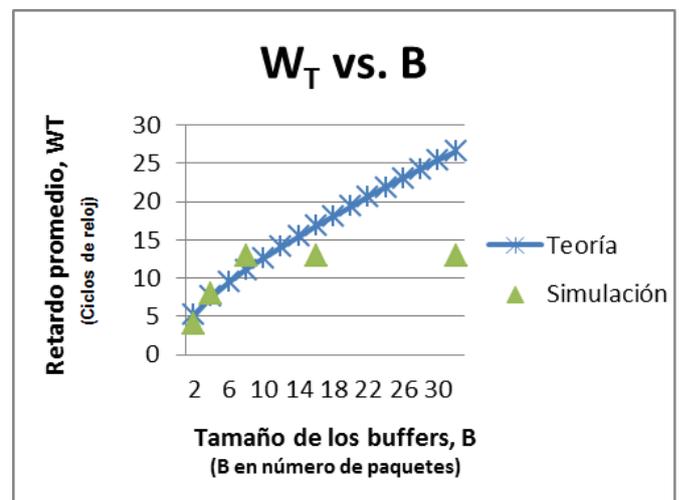


Figura 8. Retardo promedio en atravesar la red (W_T) en función del tamaño de los buffers (B)

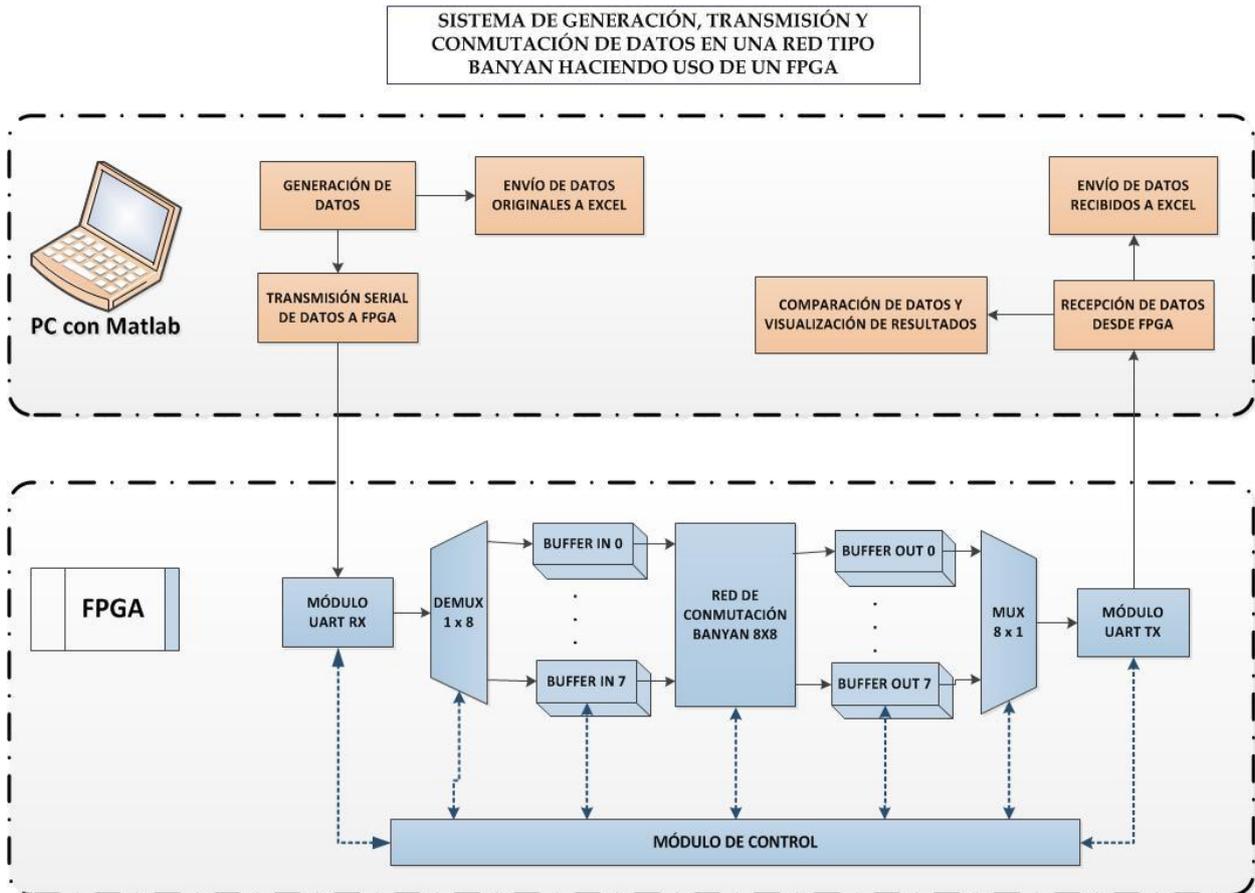


Figura 9. Esquema completo del sistema diseñado para las pruebas de la red.

5. IMPLEMENTACIÓN DE LA RED BANYAN EN HARDWARE Y SISTEMA DE PRUEBAS

Una vez verificada la funcionalidad de la red a nivel de simulación se procede con la síntesis e implementación a nivel de hardware utilizando un FPGA. El propio sistema ISE se emplea en esta tarea.

La implementación en hardware tiene como objetivo verificar el adecuado funcionamiento de la red Banyan implementada en el FPGA. Para realizar las pruebas de funcionamiento se implementa un sistema (Fig. 9) que permite, en resumen, generar paquetes en un programa desarrollado en MATLAB y ejecutarlo en una computadora personal (PC), enviar estos paquetes al FPGA, la red debe conmutar los paquetes, y los resultados se obtienen de vuelta en la PC.

Las tareas necesarias para realizar lo descrito son las siguientes:

- Generación aleatoria en la PC de 16 paquetes por cada una de las 8 entradas de la red, para lo cual se generan tanto los 8 bits de datos como los 3 bits de enrutamiento.
- Comprobación del correcto establecimiento de la comunicación serial entre la PC y el kit de desarrollo que contiene el FPGA.
- Transmisión serial de los datos hacia la FPGA.
- Adecuación y almacenamiento de los datos recibidos en la FPGA.
- Conmutación de los datos en la red Banyan.
- Almacenamiento de los datos conmutados en la FPGA para su posterior envío hacia la PC.
- Transmisión serial de los datos conmutados desde la FPGA hacia la PC.
- Recepción en la PC de los datos enviados desde la FPGA.
- Comparación de datos originales y conmutados.
- Cálculo y despliegue de los valores correspondientes a los parámetros de interés del sistema en la PC.
- Interfaz gráfica de control: se encarga de la generación de datos aleatorios (paquetes), envío de paquetes generados usando comunicación serial,

En la Fig. 9 se observa el diagrama de bloques del sistema completo, en el cual se aprecia que existen varios componentes adicionales diseñados en VHDL (bloque FPGA), así como un programa con una interfaz gráfica, misma que ha sido elaborada usando la herramienta GUI del software Matlab (bloque PC con Matlab). A continuación se explican brevemente las funciones de cada elemento mencionado:

recepción de los paquetes conmutados y despliegue de los resultados obtenidos (Fig. 10).

- **Módulo UART:** es el encargado de coordinar la comunicación serial entre el kit de desarrollo que contiene el FPGA y la PC, tanto para el envío como para la recepción de datos.
- **Demux 1x8:** encargado de repartir de forma ordenada los paquetes que pasan del módulo UART hacia cada uno de los buffers a la entrada de la red de conmutación.
- **Buffers de entrada:** uno por cada entrada de la red, son los encargados de almacenar los paquetes y hacerlos disponibles para su conmutación.
- **Red de conmutación:** toma los datos almacenados en los buffers de entrada y realiza su conmutación hacia el puerto de salida requerido.
- **Buffers de salida:** uno por cada salida de la red, son los encargados de almacenar los paquetes conmutados hasta que llegue su turno de ser transmitidos de regreso a la PC.
- **Mux 8x1:** es el encargado de ir tomando de forma ordenada los paquetes de los buffers de salida y entregarlos al módulo UART para su transmisión serial hacia la PC.
- **Módulo de control:** es el encargado de coordinar las funciones de todos los demás módulos, habilitándolos en el momento adecuado.

Cabe mencionar que tanto la programación en Matlab de la interfaz gráfica de control así como la descripción en VHDL de los componentes del sistema se las ha realizado de forma paramétrica, de manera que, si se desea cambiar alguna de sus características, no es necesario realizar cambios significativos en el código sino solamente especificar los valores deseados para los parámetros y volver a sintetizar la red.



Figura 10. Interfaz gráfica de control desarrollada en Matlab

Los parámetros susceptibles de modificación del sistema son los siguientes:

- Tamaño de la red (número de puertos de entrada y salida).
- Tamaño de los buffers internos (número de paquetes que pueden almacenarse).
- Longitud del paquete de datos (número de bytes).
- Número de paquetes a transmitir en cada puerto de entrada de la red.

Estos parámetros se los ha incluido a fin de tener un diseño totalmente escalable, y el factor que determina los valores límite para cada parámetro es la capacidad de memoria RAM disponible en la FPGA a usar.

En el presente proyecto se ha usado el módulo de desarrollo Spartan 3-AN FPGA Starter Kit de Xilinx, mismo que incluye el FPGA XC3S700AN. Este módulo de desarrollo incluye un oscilador de 50 MHz que se ha usado como señal de reloj para el sistema diseñado. Además, en este FPGA se tienen 20 bloques de memoria RAM de 18Kbits cada uno, 16 de estos bloques se los ha usado en la implementación de los buffers ubicados en cada una de las entradas y salidas de la red Banyan.

En la Fig. 11 se observan los equipos empleados para la realización de las pruebas de funcionamiento del sistema diseñado.

En la Tabla 2 se presenta un ejemplo de los resultados obtenidos; en la columna izquierda se observan los 16 paquetes de datos que ingresaron por el puerto 6 de la red, dividido en sus respectivos campos y expresados sus valores en formato decimal: Delay (medición del retardo), Data (datos aleatorios), RB (enrutamiento); mientras que en la columna derecha se tienen los paquetes recibidos por ese puerto.



Figura 11. Equipos usados para realizar las pruebas de funcionamiento

Tabla 2. Resultados obtenidos para un puerto de la red.

DATOS DE ENTRADA			DATOS DE SALIDA		
DELAY	DATA	RB	DELAY	DATA	RB
0	200	3	3	220	6
0	30	4	4	103	6
0	250	4	3	205	6
0	217	5	5	141	6
0	13	0	5	51	6
0	119	4	4	239	6
0	84	0	3	91	6
0	161	6	5	184	6
0	59	2	6	161	6
0	148	6	6	57	6
0	154	1	6	148	6
0	153	4	9	22	6
0	115	7	4	138	6
0	10	0	6	101	6
0	132	0	10	134	6
0	104	0	8	180	6
			8	86	6

6. CONCLUSIONES

El uso de los elementos de conmutación Banyan duales mejora el nivel de desempeño global de la red pero no sería conveniente su uso en redes de gran tamaño ya que se incrementa en gran medida el requerimiento de memoria necesaria para su implementación.

El modelo matemático de las cadenas de Markov, en este caso, fue muy útil y su resolución no presenta un nivel de dificultad demasiado elevado.

Con el fin de tratar de obtener resultados confiables en la simulación de la red se elaboró un banco de pruebas tomando en consideración las mismas restricciones y suposiciones que para la parte teórica; esto, principalmente, implicó que se generara un banco de pruebas en el cual se cumpla que los paquetes que ingresaran a la red tuvieran igual probabilidad de ir destinados a cualquiera de los puertos de salida.

Las diferencias que existen entre los resultados teóricos con los simulados se pueden deber a varios factores, entre los principales cabe destacar los siguientes: 1) Máxima resolución del simulador: el banco de pruebas que se usó estuvo limitado por la resolución del simulador, ya que éste no permitía el ingreso de una mayor cantidad de datos. 2) Estado de equilibrio no alcanzado: en el análisis matemático realizado, se asume que el sistema ya ha alcanzado el estado de equilibrio estadístico, pero en la simulación del sistema, debido también a las limitaciones propias del simulador empleado, no está totalmente garantizado que se haya alcanzado el equilibrio en la red, lo cual puede conllevar pequeñas diferencias en los resultados obtenidos.

Las pruebas realizadas a la red de conmutación se las desarrolló considerando el peor escenario posible, esto es, teniendo la máxima carga de tráfico en las entradas de la red; pero a pesar de ello, el promedio de paquetes perdidos en la red en cada ciclo de reloj es bastante bajo, incluso, con el mínimo valor de la longitud de los buffers internos; este resultado positivo se debe al uso de los elementos de conmutación Banyan duales, ya que la técnica de almacenamiento que usan les permite enviar dos paquetes en cada ciclo sin que exista contención entre ellos.

En base a los resultados obtenidos tanto en la parte teórica como en la simulación de la red, se puede observar que el tamaño más adecuado para los buffers de los elementos de conmutación es de 4 paquetes, ya que se tiene una baja tasa de paquetes perdidos así como también poco retardo de los paquetes en atravesar la red.

Al incrementar la longitud de los buffers, se reduce notoriamente el promedio de paquetes perdidos en la red pero el retardo de los paquetes en atravesar la red se incrementa también. Por ello, se debe tratar de buscar un equilibrio entre estos parámetros y, de acuerdo con la aplicación específica que tenga la red, se debe dar mayor prioridad a cualquiera de ellos.

REFERENCIAS

- [1] Aly H., El-Derini M. Youssef M. Performance Enhancement Techniques of a Banyan Network Based Interconnection Structure. Faculty of Engineering, Alexandria University. Disponible: <http://wrc.ejust.edu.eg/people/moustafa/papers/aej99.pdf>
- [2] Bouras C., Gkantsidis C. Cost of implementing Banyan networks for use in ATM switching fabrics. University of Patras. Greece. Disponible: <http://ru6.cti.gr/ru6/publications/8526611.pdf>
- [3] Chu P. RTL hardware design using VHDL. Editorial John Wiley & Sons, Inc. 2006.
- [4] Hagsand O., M. Hidell M., Sjödin P. Router Architectures, Tutorial at Networking. Stockholm, Sweden. 2004. Disponible: http://web.ict.kth.se/~mahidell/pubs/networking04_tutorial_final.pdf
- [5] Huang T., Mathematical Modeling of a Dual-Banyan Switch in ATM networks. Department of Mathematics Education. Disponible: <http://www.npue.edu.tw/adm/research/%E5%AD%B8%E5%A0%B1/13/10.pdf>
- [6] Newman P., "Fast Packet Switching for Integrated Services," Ph.D dissertation, University of Cambridge, 1988. Disponible: <http://pnewman.com/papers/thesis/chapter4.pdf>
- [7] UIT-D, Manual sobre Ingeniería de Teletráfico, Ginebra, 2002, pp. 124-126.
- [8] Wong A. Tutorial 3: Packet Switching - Banyan Network. Telecommunication Switching and Network System. Disponible: http://www.cmlab.csie.ntu.edu.tw/~freetempo/CN2011/slides/Tutorial_banyan.pdf